

DERWENT-ACC-NO: 2000-079728

DERWENT-WEEK: 200007

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Clock synchronization circuit for  
digital signal processing apparatus in computer -  
has connectors provided corresponding to slots in  
system bus with one connector functioning as clock source  
for other connectors

PATENT-ASSIGNEE: SONY CORP[SONY]

PRIORITY-DATA: 1998JP-0148336 (May 13, 1998)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	MAIN-IPC
JP 11328096 A		November 30, 1999	N/A
010	G06F 013/36		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
JP 11328096A	N/A	
1998JP-0148336	May 13, 1998	

INT-CL (IPC): G06F001/10, G06F001/18 , G06F013/36

ABSTRACTED-PUB-NO: JP 11328096A

BASIC-ABSTRACT:

NOVELTY - Slots of connection expansion system bus is  
provided in system bus  
(2) and audio-video signal bus connectors (44) are provided  
corresponding to  
each slot. Connector (44LC) acts as clock source and  
supplies clock to other

'slots through respective connectors.

USE - For digital signal processing apparatus in computer.

ADVANTAGE - As clock supply arrangement is provided to supply clock signal from specific slot to other expansion slots, each slots is made to operate with precise synchronization. Influence of noise and introduction of phase difference between clock signal to different slots are prevented. DESCRIPTION

OF DRAWING(S) - The figure shows expansion circuit board.

(2) System bus; (44) Connectors; (44LC) Clock source.

CHOSEN-DRAWING: Dwg.7/10

DERWENT-CLASS: T01

EPI-CODES: T01-H05B3; T01-K; T01-L;

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-328096

(43)公開日 平成11年(1999)11月30日

(51)IntCl. <sup>*</sup>	識別記号	F I
G 0 6 F 13/36	3 1 0	G 0 6 F 13/36 3 1 0 D
1/18		1/00 3 2 0 A
1/10		1/04 3 3 0 A

審査請求 未請求 請求項の数 6 F D (全 10 頁)

(21)出願番号 特願平10-148336

(22)出願日 平成10年(1998)5月13日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 中松 彰

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72)発明者 阿部 隆夫

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72)発明者 中村 伸夫

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

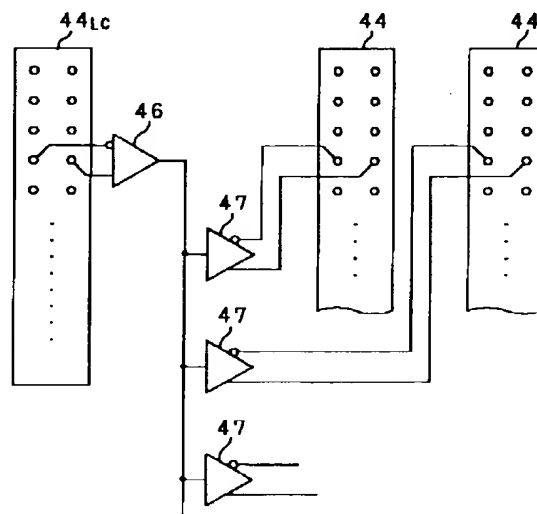
(74)代理人 弁理士 小池 晃 (外2名)

(54)【発明の名称】 デジタル信号処理装置

(57)【要約】

【課題】 高精度でクロック同期をとりながら、映像音声信号の実時間処理を可能にする。

【解決手段】 拡張スロットに対応する複数のコネクタ44の内の特定のコネクタ44<sub>LC</sub>をクロック供給源とし、所定のピンからのクロック出力が、クロックドライバ回路の差動入力アンプ46に供給される。この差動入力アンプ46からの出力は、複数の(他のスロットへ供給する個数分の)差動出力アンプ47に送られ、差動信号に変換されて、他のスロットのコネクタ44の所定のピンに並列的に送られる。



## 【特許請求の範囲】

【請求項1】 演算手段が接続されるシステムバスと、上記システムバスに対して映像音声信号専用のバスとして設けられる信号専用バスと、上記システムバス及び上記信号専用バスに対して拡張回路基板を接続するための複数のスロットと、上記複数のスロットの内の特定の1つのスロットからのクロック信号を他のスロットに供給するクロック供給手段とを有することを特徴とするデジタル信号処理装置。

【請求項2】 上記クロック供給手段は、上記特定の1つのスロットからのクロック信号が入力され、それぞれ上記他のスロットに対応して設けられた複数のバッファ手段を有し、これらのバッファ手段より上記他のスロットにそれぞれ上記クロックを並列に供給することを特徴とする請求項1記載のデジタル信号処理装置。

【請求項3】 上記特定のスロットには、上記各スロットに装着される拡張回路基板の動作を制御する制御手段が搭載された回路基板が装着されることを特徴とする請求項1記載のデジタル信号処理装置。

【請求項4】 演算手段が接続されたシステムバスを有する情報処理部と、上記システムバスを拡張する拡張処理部とを備え、上記拡張処理部は、上記拡張されたシステムバスと、上記拡張されたシステムバスに対して映像音声信号専用のバスとして設けられる信号専用バスと、上記拡張されたシステムバス及び上記信号専用バスに対して拡張回路基板を接続するための複数のスロットと、上記複数のスロットの内の特定の1つのスロットからのクロック信号を他のスロットに供給するクロック供給手段とを有することを特徴とするデジタル信号処理装置。

【請求項5】 上記クロック供給手段は、上記特定の1つのスロットからのクロック信号が入力され、それぞれ上記他のスロットに対応して設けられた複数のバッファ手段を有し、これらのバッファ手段より上記他のスロットにそれぞれ上記クロックを並列に供給することを特徴とする請求項4記載のデジタル信号処理装置。

【請求項6】 上記特定のスロットには、上記各スロットに装着される拡張回路基板の動作を制御するローカル制御手段が搭載された回路基板が装着されることを特徴とする請求項4記載のデジタル信号処理装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、デジタル映像信号やデジタル音声信号を処理するためのデジタル信号処理装置に関し、特に、演算手段が接続されたシステムバスを拡張する拡張処理部を有するデジタル信号処理装置に関するものである。

## 【0002】

【従来の技術】 デジタル映像信号やデジタル音声信号を処理するためのデジタル信号処理装置として、コンピュータ（演算処理装置）が用いられている。すなわち、演算手段（CPU）、入出力手段、記憶手段、システムバス等を備え、かつ汎用性を有する演算装置がデジタル信号処理装置として使用される傾向にある。

【0003】 しかしながら、実時間で処理を必要とされることが多い映像信号を取り扱うためには、通常の汎用のコンピュータは必ずしも最適なものとはいえない。これは、汎用のコンピュータには、映像信号専用の入出力手段や実時間処理手段が具備されていないからである。

【0004】 これを解決するために、コンピュータのシステムバスに対していわゆる拡張スロットを設け、この拡張スロットに機能の追加を可能とする回路基板（拡張ボード）を装着することが通常行われる。

## 【0005】

【発明が解決しようとする課題】 ところで、ビデオの編集作業のように複雑な処理が必要とされる場合には、複数の拡張スロットを要する複数の回路基板が必要となることがあり、基板間での映像信号のやり取りを行う手段をどのように供給するか等の点で問題が生じてくることがある。

【0006】 また、通常の汎用性のあるコンピュータでは、拡張スロットに装着される基板の寸法や取り付け方に制限があることから、大型の回路基板が使用できず、映像音声信号のデータの高速転送にも制限が生じ、これらの点も解決することが必要とされる。

【0007】 さらに、実時間処理を行う場合に、クロックの精度を高めることが重要であり、複数の拡張スロットに位相のばらつきの少ないクロック信号を送ることが望まれる。

【0008】 本発明は、このような実情に鑑みてなされたものであり、スロット数や、映像音声信号用、制御信号用の信号線の数を増加でき、デジタル映像音声信号の実時間処理に適した高精度のクロック供給が可能なデジタル信号処理装置を提供することを目的とする。

## 【0009】

【課題を解決するための手段】 本発明は、上述した課題を解決するために、演算手段が接続されるシステムバスと、上記システムバスに対して映像音声信号専用のバスとして設けられる信号専用バスと、上記システムバス及び上記信号専用バスに対して拡張回路基板を接続するための複数のスロットと、上記複数のスロットの内の特定の1つのスロットからのクロック信号を他のスロットに供給するクロック供給手段とを有することを特徴としている。

【0010】 ここで、上記クロック供給手段は、上記特定の1つのスロットからのクロック信号が入力され、そ

れぞれ上記他のスロットに対応して設けられた複数のバッファ手段を有し、これらのバッファ手段より上記他のスロットにそれぞれ上記クロックを並列に供給することが挙げられる。また、上記特定のスロットには、上記各スロットに装着される拡張回路基板の動作を制御する制御手段が搭載された回路基板が装着されることが挙げられる。

【0011】また、本発明は、上述した課題を解決するために、演算手段が接続されたシステムバスを有する情報処理部と、上記システムバスを拡張する拡張処理部とを備え、上記拡張処理部は、上記拡張されたシステムバスと、上記拡張されたシステムバスに対して映像音声信号専用のバスとして設けられる信号専用バスと、上記拡張されたシステムバス及び上記信号専用バスに対して拡張回路基板を接続するための複数のスロットと、上記複数のスロットの内の特定の1つのスロットからのクロック信号を他のスロットに供給するクロック供給手段とを有することを特徴としている。

【0012】

【発明の実施の形態】以下、本発明に係る実施の形態について図面を参照しながら説明する。図1は、本発明の第1の実施の形態となるデジタル信号処理装置の概略構成を示すブロック図である。

【0013】この図1に示すデジタル信号処理装置は、一般のパーソナルコンピュータあるいはワークステーション等のような情報処理装置1と、システムバスを拡張するための拡張処理装置10とを有して成り、これらはバス接続基板6を介して接続されている。すなわち、情報処理装置1は、内部のシステムバス2に、演算手段としてのマイクロプロセッサ等のCPU3が接続され、例えば通常のパーソナルコンピュータを構成するものであり、この内部のシステムバス2は、システムバスを延長するバス接続部6を介して、拡張処理装置10の拡張されたシステムバス12と接続されている。

【0014】情報処理装置1の内部のシステムバス2としては、コンピュータシステムに標準として具備されているシステムバスが用いられ、本実施の形態においては、いわゆるPCI(peripheral component interconnect)バスを用いているが、これに限定されない。

【0015】拡張処理装置10内の拡張されたシステムバス12は、情報処理装置1の内部システムバス2を拡張するものであり、本実施の形態では拡張PCIバスが用いられている。拡張処理装置10内には、拡張されたシステムバス12に対して平行に、デジタル映像音声(ビデオ・オーディオ)信号専用のデータバスであるDAV(Digital Audio Video)バス13と、ローカルCPUバス14とが設けられている。ローカルCPUバス14は、拡張処理装置10内のローカルCPU15による制御信号を転送するための制御信号専用バスである。

【0016】映像音声信号専用バスであるDAVバス1

3は、例えば図2に示すような構成を有している。この図2において、DAVバス13は、ビデオ(Video)バス131、キー(Key)バス132、ビデオ基準(Video Ref.)バス133、オーディオ(Audio)バス134、オーディオ基準(Audio Ref.)バス135、及び電源(Power)バス136を有して構成されている。ビデオバス131は、デジタル映像信号専用のバスで、例えば120本の信号線より成り、YUVが4:2:2のデジタル信号の各10ビットをY色差多重にすると、12チャンネル採れることになる。キーバス132は、映像合成の際のいわゆるキー信号専用のバスで、例えば30本の信号線より成り、各10ビットのキー信号を5ビットずつ多重にすると6チャンネル採れることになる。ビデオ基準バス133は、映像クロック信号や、同期信号を送るものである。オーディオバス134は、デジタル音声信号専用のバスで、例えば10本の信号線より成り、1本に8チャンネルを多重することにより、80チャンネル採れることになる。オーディオ基準バス135は、音声クロック信号や、同期信号を送るものである。電源バス136は、バスに設けられた回路基板接続用の各スロットに必要な電源を供給するものである。

【0017】また、ローカルCPUバス14は、バスに設けられたスロットの内の所定のスロットに装着された制御用演算装置であるローカルCPUが使用する制御バスであり、各スロットに装着された回路基板内の回路に対して、上記システムバス経由では困難な制御を可能とするために設けられている。

【0018】すなわち、映像信号や音声信号においては、信号の時間の連続性を保つためにいわゆる実時間処理が必要とされることが多いが、システムバスとして上記PCIバスを用いる場合には、デジタル映像信号のチャンネルを1チャンネル程度しか確保できない。また、いわゆるA-Bロール編集のような2チャンネル以上の映像信号を編集するためには、例えば大容量のメモリに一旦デジタル映像信号データを蓄えておいて必要な時点で読み出す等の処理が必要となり、構成が複雑化し、実時間処理も完全には行えない。

【0019】このため、複数チャンネルのデジタル映像信号やオーディオ信号を並列的に取り扱えるDAVバスを設け、また、複数チャンネルの実時間処理を実現するためにDAVバスを介して各種のビデオ信号処理回路基板やオーディオ信号処理回路基板を装着するわけであるが、これらのビデオ、オーディオ信号処理回路における実時間処理を制御するために、ローカルCPUやローカルCPUバスが設けられている。これによって、符号化/復号処理のためのCODEC回路基板や記録媒体インターフェース回路基板等の拡張ボードからは、複数チャンネルの内の任意のチャンネルを指定してデジタル信号データを送ることができ、受け取り側でも任意のチャンネルのデジタル信号データを受け取ることができ、データ

伝送のコンフィグレーションを自由に変更でき、複数チャネルのデジタル信号処理が実時間でできる。

【0020】ここで、図1、図2の拡張処理装置10内の拡張されたシステムバス12、DAVバス13、ローカルCPUバス14に対して、回路基板を電氣的に接続すると共に機械的に支持するためのスロット19が設けられている。一般的にスロットとは、システムバスに対して拡張ボードを装着して電氣的に接続するためのコネクタを指すことが多いが、本実施の形態において、拡張処理装置10のスロット19とは、具体的には各バス12、13、14毎にそれぞれ設けられた後述するコネクタの組に相当するものである。すなわち、1つのスロット19に1枚の拡張ボード（回路基板）が装着されることにより、この拡張ボードに対して、各バス12、13、14の各コネクタを介して電氣的な接続がなされる。ただし、拡張ボードによってはバス12、13、14の全てとの電氣的な接続を必要としないものもある。

【0021】本実施の形態では、拡張処理装置10内に例えば14のスロットを設けており、最大14枚の拡張ボードを装着可能としている。例えば図1の例では、このような拡張ボードとして、ローカルCPU回路基板15、デジタルI/O回路基板17、映像（ビデオ）信号の符号化／復号のためのコーデック（CODEC）回路基板21、ビデオ記録用のインターフェース回路基板23、デジタル特殊効果やスイッチャ等のビデオ信号処理を施すための特殊効果回路基板24、オーディオ信号処理（符号化／復号等）用の回路基板26、オーディオ記録用のインターフェース回路基板27、及びその他の回路基板29が示されている。ローカルCPU回路基板15は、コントロールパネル16と接続され、デジタルI/O回路基板17はコネクタパネル18と接続され、ビデオ記録用インターフェース回路基板24は、いわゆるRAID（redundant array of inexpensive disks）等のディスク装置23、あるいは他の情報蓄積媒体に接続されている。また、コネクタパネル18を介して外部機器との情報信号（デジタルAV信号等）の入出力がなされ、例えばモニタ装置8が接続されている。

【0022】また、図2の各スロット19には、スロット番号としてSlot#1～Slot#14を付しており、13番目（Slot#13）のスロット191cについては、図1のローカルCPU回路基板15が装着され、後述するようにクロック信号の供給源となるように設定されている。

【0023】図3、図4は、情報処理装置1、バス接続部6及び拡張処理装置10から成るデジタル信号処理装置の機械的な概略構造を示す図である。これらの図3、図4において、上記システムバス2は、情報処理装置1のバス基板31上に設けられており、通常、マイクロプロセッサ等の演算処理回路（CPU）が搭載されている。バス基板31は、マザーボードあるいはバックプレーンボードとも称されるものであり、本実施の形態で

は、いわゆるPCIマザーボードが用いられる。このバス基板31には、システムバスに接続される各種PCIボード等の拡張ボード（回路基板）を装着するための拡張スロットとしてのコネクタ33がいくつか設けられている。

【0024】また、バス基板31には、システムバス拡張のためのコネクタ36aが設けられており、このコネクタ36aに、システムバスを延長するための上記バス接続部6となるバス延長基板6aが装着される。情報処理装置1と拡張処理装置10とは、上下に積み重ねて配置され、バス延長基板6aが、これらの情報処理装置1及び拡張処理装置10の内部を貫通するように、情報処理装置1のバス基板31に対して垂直に配設される。拡張処理装置10側では、バス延長基板6aのケーブル接続部6bを介してフラットケーブル6cが接続され、このフラットケーブル6cが拡張処理装置10内のバス基板41上にてコネクタ36bにより結合されることで、バス基板41上の上記拡張されたシステムバス12と電氣的に接続される。これによって、情報処理装置1のシステムバス2と、拡張処理装置10の拡張されたシステムバス12との電氣的接続が行われる。

【0025】拡張処理装置10内には2枚のバス基板（いわゆるマザーボードあるいはバックプレーンボード）41、42が配設されており、バス基板41には上記拡張されたシステムバス12が設けられ、バス基板42には上記DAVバス13及びローカルCPUバス14が設けられている。バス基板41上には、上記拡張されたシステムバス12に拡張ボード（回路基板）を接続するためのコネクタ43がいくつか設けられており、これらのコネクタ43に対応して、バス基板42上には、上記DAVバス13との接続用のコネクタ44と、上記ローカルCPUバス14との接続用のコネクタ45とがそれぞれ設けられている。これらのコネクタ43、44、45は、図2のスロット19に対応するものであり、1つのスロット19に対して、コネクタ43、44、45の1組が一直線上に並ぶように配列され、例えば本実施の形態では14スロットに対応して14組のコネクタが設けられている。

【0026】本実施の形態では、2枚のバス基板41、42に垂直方向（上下方向）の段差があり、一部が重なるように配置されている。これは、拡張ボードのコネクタの設置レベルが異なることを吸収するためと、基板の有効面積を増やすためである。なお、バス基板41、42を1枚の基板にまとめても良いことは勿論である。

【0027】ここで、図3、図4に示すように、バス延長基板6aを用い、情報処理装置1及び拡張処理装置10の内部を貫通するような構造を採用したのは、PCIバス等のシステムバスの延長距離を最短にし、電磁不要輻射を最小限に抑えるためである。また、図3、図4の例では、バス延長基板6aに可撓性のフラットケーブル

6cを接続した構造を有しており、このフラットケーブル6cによって2つの装置1、10を結合する際に生じるずれを吸収することができる。

【0028】なお、上述した電磁不要輻射の制限や延長距離の最短化の要求があまり厳しくない場合には、図5に示すように、情報処理装置1に設けたコネクタ36cと、拡張処理装置10に設けたコネクタ36dとの間を、接続ケーブル6dを介して接続するような構造を採用してもよい。

【0029】拡張処理装置10のバス基板41上のコネクタ43と、バス基板42上のコネクタ44、45とが一直線上に並ぶようにしていることから、PCIバス等のシステムバスとの互換性を保ちつつ、例えばデジタル映像音声信号の処理に特化したような特殊な用途に使用可能な拡張回路基板(拡張ボード)を用いることができる。

【0030】図6は、拡張処理装置10に装着して使用可能な拡張回路基板(拡張ボード)のいくつかの例を示している。この図6において、PCIボード51、52は、PCIバス用のコネクタ33aを有し、一般のコンピュータシステムの拡張ボードとしても用いられている回路基板であり、ハーフサイズのPCIボード51の縦 $h_1$ 、横 $w_1$ 、フルサイズのPCIボードの縦 $h_1$ 、横 $w_2$ のそれぞれの具体的な寸法としては、例えば、 $h_1=98.4\text{mm}$ 、 $w_1=174.6\text{mm}$ 、 $w_2=312\text{mm}$ となっている。これに対して、拡張処理装置10専用の拡張回路基板(拡張ボード)としては、縦 $h_2$ 、横 $w_2$ のミドルサイズのDAVボード53と、縦 $h_2$ 、横 $w_3$ のフルサイズのDAVボード54とが用意されており、各部寸法の具体例としては、 $h_2=221.7\text{mm}$ 、 $w_3=470\text{mm}$ とすることが挙げられ、また $w_2$ は上記と同様に312mmとすることが挙げられる。ミドルサイズのDAVボード53は、上記通常使用されるPCIボード51、52と同様にPCIバス(上記拡張メインバス12)用のコネクタ43aを有し、さらに上記DAVバス13用のコネクタ44aを有し、高さ方向にも拡張された基板である。また、フルサイズのDAVボード54は、ミドルサイズのDAVボード53をさらに横方向に拡張して、上記ローカルCPUバス14用のコネクタ45aを有しており、上記ローカルCPU15のソフトウェアを用いるための基板である。なお、各コネクタの種類と位置についての規定が守られている限り、回路基板の形状や寸法は任意に変更可能であることは勿論である。

【0031】次に、図2のDAVバス13のビデオ基準バス133を介して送られる映像クロック信号、及びオーディオ基準バス135を介して送られる音声クロック信号の供給方法について、図7を参照しながら説明する。

【0032】図7において、上述したバス基板42に設

けられたDAVバス13用のコネクタ44を示しており、これらのコネクタ44の内の所定のコネクタ44<sub>1c</sub>に、上記図1のローカルCPU回路基板15が装着されるようになっている。このコネクタ44<sub>1c</sub>は、上記図2の13番目(Slot#13)のスロット19<sub>1c</sub>に対応するものである。

【0033】このコネクタ44<sub>1c</sub>に接続された上記ローカルCPU回路基板15からの映像及び音声用のクロック信号は、所定の端子(例えば10番、11番ピン)を介して、マザーボードである上記バス基板42上のクロックドライバ回路の差動入力アンプ46に供給される。この差動入力アンプ46からの出力は、複数の(他のスロットへ供給する個数分の)差動出力アンプ47に送られ、差動信号に変換されて、これらの差動出力アンプ47からの差動クロック出力信号が、他のスロットのコネクタ44の所定の端子(例えば10番、11番ピン)にそれぞれ供給される。

【0034】これは、上記DAVバス13においては、どのスロットもバス内の信号に関して等価であるが、クロック信号だけは、各スロットが極めて厳密に同期して動作することが必要とされることから、特定スロット(Slot#13)をクロック供給元として定めて、このスロットからのクロック信号を他のクロックに配分しているものである。また、1つの差動入力アンプ46からの出力を、他のスロットの個数分の差動出力アンプ47を介してそれぞれのスロットに供給する構成は、一本のクロック供給線を各スロットに接続して順次クロック信号を供給する構成に比べて、差動信号のためノイズ耐性が強く、1対1供給であるため、ノイズの影響が少なく、十分な供給電流を確保でき、各スロットで受け取るクロック信号の位相のばらつきが極めて少ないという利点があるのみならず、さらに、クロックドライバ回路がバス基板上にあり、信号ピンはいずれのスロットも同一位置にあるので、クロック信号を出力する側も受け取る側も1対1供給を意識する必要がないという利点もある。

【0035】このような基準クロックに同期して、上述したようなビデオ信号やオーディオ信号の実時間処理を制御するために、ローカルCPU回路基板15のローカルCPUやローカルCPUバス14が設けられている。

【0036】ところで、システムバスに拡張スロットを設ける場合には、ファンアウトの制限があるため、ブリッジを介してスロット数を増加することが必要とされる。1個のブリッジのファンアウト数は、例えば4となっており、本実施の形態のように14個の拡張スロットを設けるには4個のブリッジICが必要とされる。

【0037】図8は、このようなブリッジを用いたシステムバスの拡張スロットの増設構造を示している。この図8において、上記情報処理装置1側のバス基板31のシステムバス2について、CPU3等のチップセットが接続されたシステムバス2aには例えば3個の拡張スロ

ット(コネクタ33に対応)が設けられ、このシステムバス2aは、ブリッジ回路61を介してシステムバス2bに接続され、このシステムバス2bには4個の拡張スロット(コネクタ33)とシステムバス拡張のためのコネクタ36aが設けられている。コネクタ36aには、バス延長基板6aが挿入実装され、上記システムバス2bがバス延長基板6a上のブリッジ回路62に接続され、ケーブル接続部6b、フラットケーブル6cを介して上記拡張処理装置10側のバス基板41のコネクタ36bに挿入接続されることで、上記ブリッジ回路62は

バス基板41上のブリッジ回路63に接続される。このブリッジ回路63には、4個のブリッジ回路64a、64b、64c、64dがそれぞれ接続され、各ブリッジ回路64a、64b、64c、64dには拡張されたシステムバス12a、12b、12c、12dがそれぞれ接続されている。

【0038】この図8の実施の形態では、同じブリッジ回路に接続されるシステムバス内でDMA(Direct Memory Access)転送が行われるように、同じブリッジ回路に属するグループの拡張スロットに、DMA転送が必要とされる回路基板を装着するようにしている。すなわちこのDMA転送は、デジタル信号の符号化/復号回路と、該デジタル信号の蓄積媒体のインターフェース回路との間で行われることが多いことより、ブリッジ回路64aに接続されたシステムバス12aのコネクタ43には、ビデオ信号の符号化/復号用のCODEC回路基板21と、ビデオ記録用のインターフェース回路基板22とを挿入実装し、これらの基板21、22間でDMA転送を行わせ、また、ブリッジ回路64cに接続されたシステムバス12cのコネクタ43には、オーディオ信号の符号化/復号等の信号処理用の回路基板26と、オーディオ記録用のインターフェース回路基板27とを挿入実装し、これらの基板26、27間でDMA転送を行わせている。

【0039】このように、同じブリッジ回路に接続されたシステムバス内でDMA転送を行わせることにより、DMA転送の際にブリッジ回路を経由しなくて済むため、ブリッジ回路を経由することによる遅延(例えば270ns)が生じず、高速で効率の良いデータ転送が行える。

【0040】また、図8の実施の形態のように、ブリッジ回路64a~64dが互いに並列的になるように各ブリッジ回路64a~64dをそれぞれ直接ブリッジ回路63に接続することにより、ブリッジ回路64a~64dを直列に順次接続するような構成に比べて、ブリッジ回路を経由することによる遅延時間を短縮することができる。

【0041】なお、上記情報処理装置1のバス基板31上のCPU3等のチップセットが接続されたシステムバス2aから、各ブリッジ回路64a~64dをそれぞれ

接続されたシステムバス12a~12dまでの間の遅延時間は、ブリッジ回路4個分に相当し、1個のブリッジ回路の遅延時間が例えば270nsのときには、4個分で1080nsの遅延時間(レイテンシ:Latency)となる。

【0042】ところで、上述したように、同じブリッジ回路に接続された拡張スロット群にDMA転送が行われる回路基板の組が挿入実装されたか否かを確認するために、拡張スロット及び回路基板についてのそれぞれの識別情報が得られるようにしている。

【0043】すなわち、図9に示すように、上記拡張処理装置10側のバス基板41、42の各スロット毎に、他のスロットと区別可能な当該スロットに固有の(一意の)識別情報を与えるスロットID回路66が設けられ、また、拡張回路基板(拡張ボード)54には、そのボードに固有の識別情報を出力するボードID回路67が設けられている。

【0044】図9の例では、スロットID回路66は、バス基板42上に設けられてコネクタ45の所定ピンに接続され、拡張ボード(回路基板)54のコネクタ45aを介して拡張ボード54上の識別回路(図示せず)により読み取られるようになっている。このスロットID回路66は、コネクタ44に接続するようにしてもよく、またスロットID回路66をバス基板41上に設けて、コネクタ43に接続するようにしてもよい。スロットID回路66は、例えばコネクタの端子ピンに抵抗を接続し、この抵抗の他端を接地したり所定電位を与えたりすることで0、1を表すようにし、このような抵抗を、スロット識別に必要なビット数分、例えば本実施の形態では14スロット識別のための4ビットに対応する4本設けて構成することができ、スロット毎にスロットID回路66の4ビットの値を異ならせればよい。なお、スロットIDの識別回路(図示せず)は、ハードウェアで構成してもよいが、拡張ボード54上のCPU等を用いてソフトウェアにより識別させればよい。

【0045】また、拡張ボード54上のボードID回路67は、拡張ボード側のコネクタ43aに接続されており、このコネクタ43aがバス基板41のコネクタ43に挿入実装されることで、上記拡張されたシステムバス10に接続されるようになっている。このシステムバス10に送られたボード識別情報は、上記図1の情報処理装置1のCPU3等により読み取られて、装着された拡張ボードの識別が行われる。ボードID回路67としては、例えばROM等が用いられる。なお、ボードID回路67を、コネクタ44aや、コネクタ45aに接続するようにして、上記図1の拡張装置10側の回路により、例えばローカルCPU15等により、ボード識別を行うようにしてもよい。

【0046】上述したように、拡張ボード54上の識別回路(図示せず)により識別されたスロットIDの情報

10

20

30

40

50



は、上記図1のシステムバス10やローカルCPUバス14等を介してCPU3やローカルCPU15等へ送って、上記拡張ボードの識別結果と組み合わせることにより、上述した同じブリッジ回路に接続された拡張スロット群にDMA転送が行われる回路基板の組が挿入実装されたか否かを判別することができる。

【0047】次に、電源の制御方法について説明する。上記図1や図3に示したように、本実施の形態のデジタル信号処理装置は、2つのユニット、すなわち情報処理装置1と拡張処理装置10とから成り、これらが機械的及び電気的に結合されるようになっている。回路規模が大きくなれば、各装置1、10にそれぞれ電源回路を設けることが普通であるが、電源投入の際には、これらの装置1、10の間で電源立ち上げの順序を守る必要がある場合が多い。このため、本実施の形態においては、一方の電源装置から他方の電源装置に制御信号を送るようにしている。

【0048】すなわち図10は、情報処理装置1側の電源装置71とは別に、拡張処理装置10側にも拡張処理装置専用の電源装置72が設けられた構成を示している。この図10において、情報処理装置1側の電源装置71は、拡張処理装置10側の電源装置7よりも早く立ち上がることが必要とされている。そこで、電源スイッチ73からの電源オンオフ信号は、電源71に伝えられ、電源装置71から出力される電源制御信号は、バス基板31を介し、コネクタ36aからバス接続部6（バス延長基板6a、ケーブル接続部6b、フラットケーブル6c）、コネクタ36bを介し、拡張されたシステムバスのバス基板41を介して、拡張処理装置用の電源装置72に入力され、この電源装置72のオンオフを制御する。

【0049】このように、拡張処理装置10側の電源装置72が情報処理装置1の電源装置71により制御されることにより、システムリセットの順序等を守って、電源装置71が立ち上がった後に電源装置72が立ち上がるような制御が行われる。

【0050】なお、本発明は上述した実施の形態に限定されるものではなく、例えば、情報処理装置と拡張処理装置を一体化して1つの筐体内に収納した構造としてもよい。また、DAVバスの具体的な構成や、バス基板の構造等も図示の例に限定されないことは勿論である。

【0051】

【発明の効果】本発明によれば、演算手段が接続されるシステムバスと、上記システムバスに対して映像音声信号専用のバスとして設けられる信号専用バスと、上記システムバス及び上記信号専用バスに対して拡張回路基板を接続するための複数のスロットと、上記複数のスロットの内の特定の1つのスロットからのクロック信号を他のスロットに供給するクロック供給手段とを有することにより、各スロットを高精度に同期させて動作させるこ

とができる。

【0052】また、上記クロック供給手段は、上記特定の1つの拡張スロットからのクロック信号が入力され、それぞれ上記他のスロットに対応して設けられた複数のバッファ手段を有し、これらのバッファ手段より上記他の拡張スロットにそれぞれ上記クロックを並列に供給することにより、ノイズ耐性が強く、1対1供給であるため、ノイズの影響が少なく、十分な供給電流を確保でき、各スロットで受け取るクロック信号の位相のばらつきを少なくできる。

【図面の簡単な説明】

【図1】本発明の実施の形態となるデジタル信号処理装置の概略構成を示すブロック図である。

【図2】拡張処理装置内のDAVバス及びローカルCPUバスを示す図である。

【図3】本発明の実施の形態となるデジタル信号処理装置の情報処理装置と拡張処理装置との結合構造を示す図である。

【図4】本発明の実施の形態となるデジタル信号処理装置の情報処理装置と拡張処理装置との結合構造を示す図である。

【図5】本発明の実施の形態となるデジタル信号処理装置の情報処理装置と拡張処理装置との結合構造の他の例を示す図である。

【図6】拡張回路基板（拡張ボード）の具体例を示す図である。

【図7】クロック供給の具体例を説明するための図である。

【図8】システムバスをブリッジを介して接続する構成を示す図である。

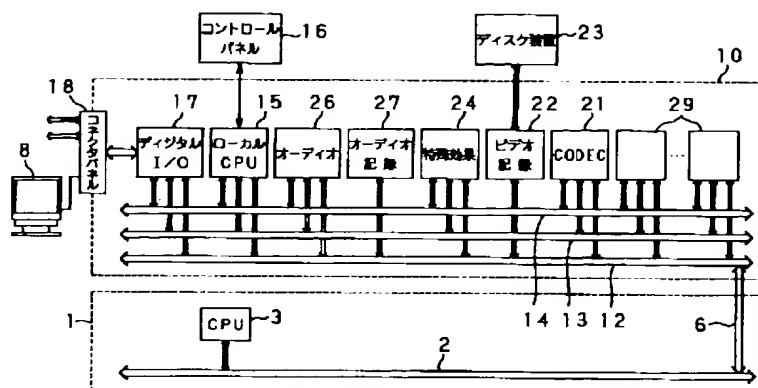
【図9】ボードID及びスロットIDを説明するための図である。

【図10】電源のオンオフ制御を説明するための図である。

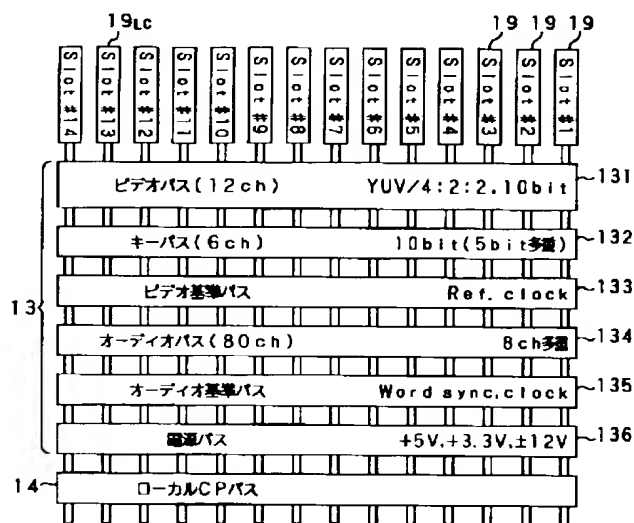
【符号の説明】

1 情報処理装置、 2 システムバス、 3 CPU、 6 バス接続部、 10 拡張処理装置、 12 拡張されたシステムバス、 13 DAVバス、 14 ローカルCPUバス、 15 ローカルCPU回路基板、 21 CODEC回路基板、 22 ビデオ記録インターフェース回路基板、 23 ディスク装置、 24 特殊効果回路基板、 26 オーディオ信号処理回路基板、 27 オーディオ記録インターフェース回路基板、 31、41、42 バス基板、 33、36a、36b、43、44 コネクタ、 46 差動入力アンプ、 47 差動出力アンプ、 61、62、63、64a～64d ブリッジ回路、 66 スロットID回路、 67 ボードID回路、 71、72電源装置、 73 電源スイッチ

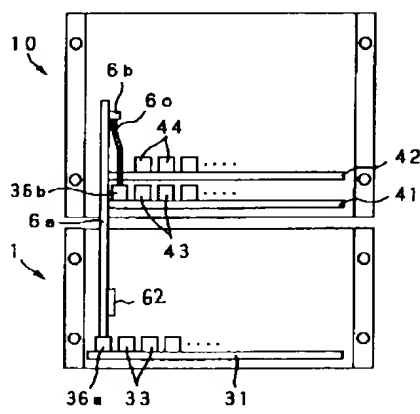
【図 1】



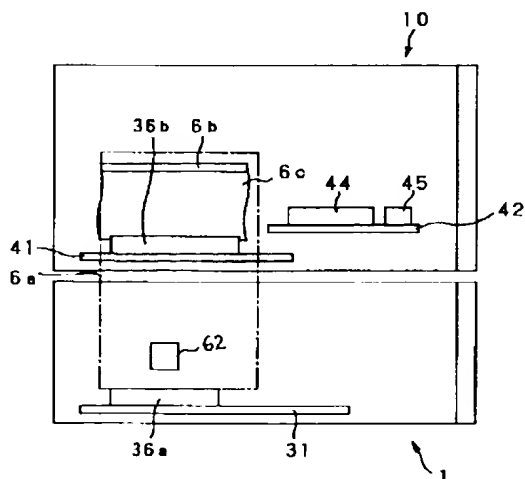
【例2】



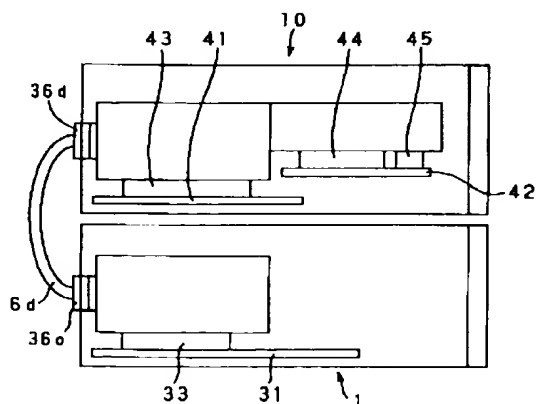
【例3】



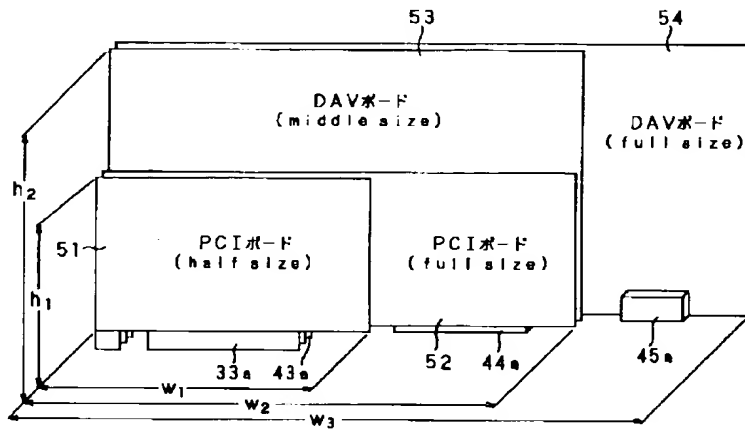
【图4】



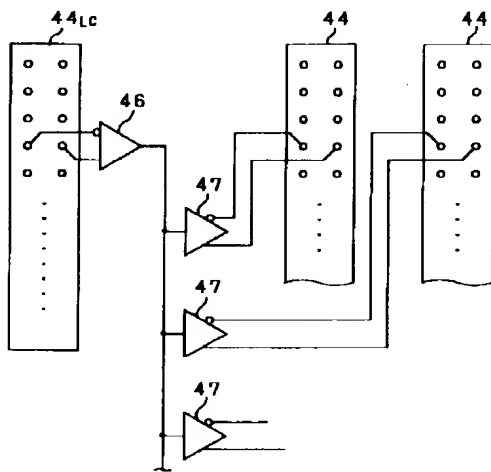
【例5】



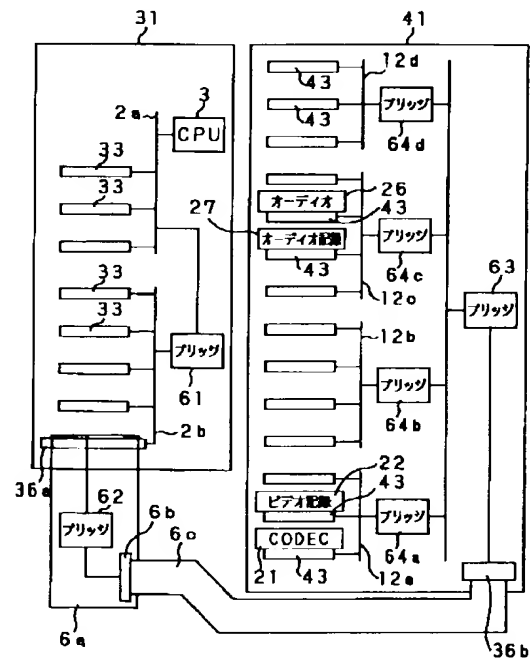
【図6】



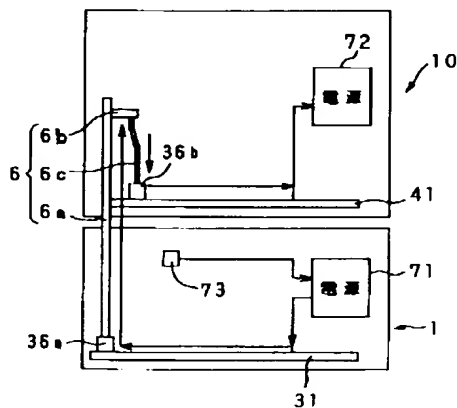
【図7】



【図8】



【図10】



【図9】

